**DIGITAL LAB ASSIGNMENT 8**

Tanvi Penumudy E18CSE187 EB06

**Question 1**

module JKFlipFlop(j,k,clk,q,qb);

input j,k,clk;

output reg q,qb;

always @(posedge clk)

begin

case({j,k})

{1'b0,1'b0}:begin q=q;qb=qb;end

{1'b0,1'b1}:begin q=1'b0;qb=1'b1;end

{1'b1,1'b0}:begin q=1'b1;qb=1'b0;end

{1'b1,1'b1}:begin q=qb;qb=q;end

endcase

end

endmodule

**Testbench**

module test;

reg j,k,clk;

wire q,qb;

JKFlipFlop uut(j,k,clk,q,qb);

initial

begin

j=1'b1;k=1'b0;clk=1'b0;

#10 j=1'b1;k=1'b0;clk=1'b1;

#10 j=1'b0;k=1'b1;clk=1'b0;

#10 j=1'b0;k=1'b1;clk=1'b1;

#10 j=1'b1;k=1'b1;clk=1'b0;

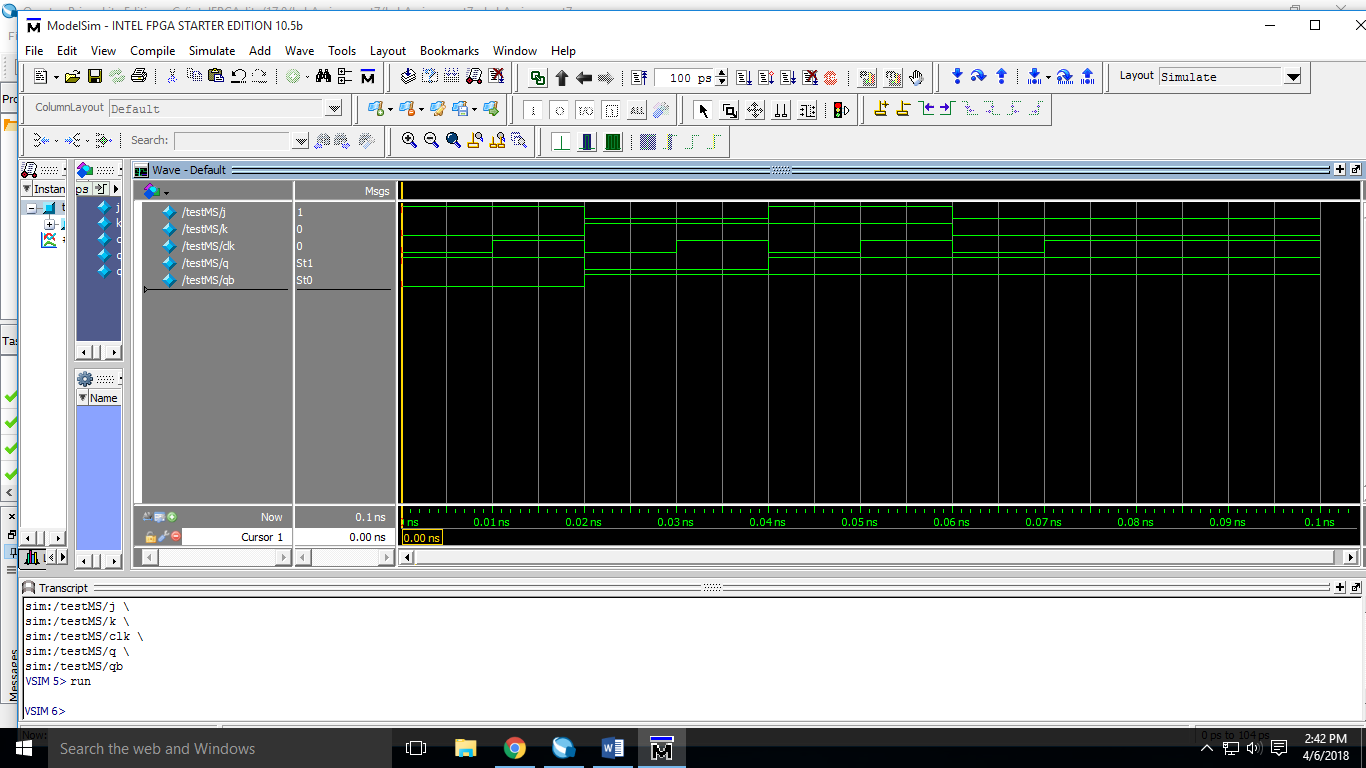
#10 j=1'b1;k=1'b1;clk=1'b1;

#10 j=1'b0;k=1'b0;clk=1'b0;

#10 j=1'b0;k=1'b0;clk=1'b1;

end

endmodule



**Question 2**

module JKFlipFlopMS(j,k,clk,q,qb);

input j,k,clk;

output reg q,qb;

always @(negedge clk)

begin

case({j,k})

{1'b0,1'b0}:begin q=q;qb=qb;end

{1'b0,1'b1}:begin q=1'b0;qb=1'b1;end

{1'b1,1'b0}:begin q=1'b1;qb=1'b0;end

{1'b1,1'b1}:begin q=qb;qb=q;end

endcase

end

endmodule

module testMS;

reg j,k,clk;

wire q,qb;

**Testbench**

JKFlipFlopMS uut(j,k,clk,q,qb);

initial

begin

j=1'b1;k=1'b0;clk=1'b0;

#10 j=1'b1;k=1'b0;clk=1'b1;

#10 j=1'b0;k=1'b1;clk=1'b0;

#10 j=1'b0;k=1'b1;clk=1'b1;

#10 j=1'b1;k=1'b1;clk=1'b0;

#10 j=1'b1;k=1'b1;clk=1'b1;

#10 j=1'b0;k=1'b0;clk=1'b0;

#10 j=1'b0;k=1'b0;clk=1'b1;

end

endmodule

